

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007293

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
G06F 1/10
H01L 21/82
// G06F 17/50

(21)Application number : 11-179685 (71)Applicant : MITSUBISHI ELECTRIC
CORP

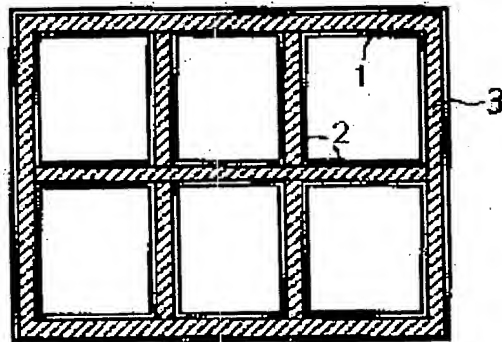
(22)Date of filing : 25.06.1999 (72)Inventor : TAKADA HIDEHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an inner circuit to be easily laid out decreasing clock skew without increasing it in area and a clock drive circuit to be efficiently arranged.

SOLUTION: A clock driver forming region 3 is arranged so as to form clock drivers overlapping with a ring wiring 1 and a mesh wiring 2 arranged extending over a semiconductor substrate region in a plane view. An exclusive excess region is not required to be provided for a clock drive forming region, clock drivers are dispersedly arranged in a circuit device and regulated in drive capacity, by which clock skew can be lessened, and electromagnetic noises can be absorbed by upper wirings when the clock drivers are in operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

平成13年1月12日(2001.1.12)

(5)Int.CL'	機別記号	P I	チリノ(参考)
H 01 L 27/04		H 01 L 27/04	D 5B 046
21/822		G 06 F 1/04	330A 5B 079
G 06 F 1/10		H 01 L 21/82	W 5F 038
H 01 L 21/82		27/04	F 5F 064
// G 06 F 17/50			B

第14頁に続く

調査請求 未請求 請求項の数13 OL (全19頁) 最終頁に続く

(21) 出願番号 特願平11-179685
(22) 出願日 平成11年6月25日(1999. 6. 25)
(71) 出願人 三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
高田 英裕
(72) 発明者 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社
(74) 代理人 100064746
伊藤士 森見 久郎 (外3名)

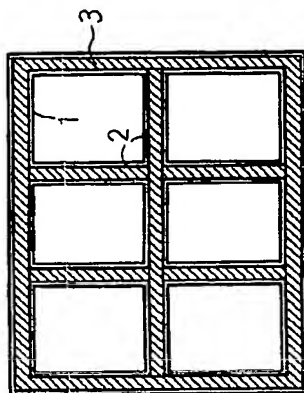
最終頁に記入

(54) 【発明の名称】
半導体集積回路装置

57) 【要約】

【課題】面積増加を伴うことなく内部回路のレイアウトの容易化を図りかつクロックスキューを低減するとともに、外部にクロックドライブ回路を配置する。

【解説手段】 半導体形成領域上にわたって延在して配
置されるリング状配線 (1) およびメッシュ配線 (2) と
平面図的に見て重なり合うようにクロックドライバを形
成するクロックドライバ形成領域 (3) を配置する。ク
ロックドライバ形成領域のために導線の余分の領域を設
ける必要がなく、またクロックドライバが回路基板内
に分散して配置するため、この駆動能力調整をよりク
ロックスキューを低減でき、またクロックドライバが動作
時において、電磁ノイズを上層の配線により吸収すること
ができる。



【知識追求の範囲】

【請求項1】 矩形状半導体基板領域周辺に沿ってルー

前記リング配線により囲まれる領域上にわたって延在し、前記リング配線と接続するメッシュ型配線に、おおよそ前記リング配線および前記メッシュ型配線の交点、および前記リング配線に見て重なり合うように配設されるクロックドラッド形状領域を備え、前記クロックドラッド形状領域は形成されるクロックドラッド形状領域に形成されるクロックタイミングの動作タイムリミングを与えるための回路の動作タイムリミングの動作遅延回路を設置、半導体装置の回路遅延を低減させる。

【請求項2】 前記リニア配線および前記メッシュ配線は、電源部および接地部にそれぞれ伝送する電路線におよび該地線を含み、前記電路線および該地線は互いに平行に配設され、前記クロックドライバ形成領域に形成されるクロックドライバは平面図的に見て前記電路線および該地線でそれらの間の間隙を除いて実質的に覆われるように配置される。請求項1記載の半導体集積回路装置。

【請求項3】 前記クロックドライバの出力信号を伝達するクロック信号線は、前記電源線および前記接地線の導体層と対向する導体層の共通電位集積回路装置、

【請求項4】前記クロックドライバ形成領域は、前記配線と配線との間に配置される、請求項1記載の半導体装置と同略配置。

【請求項5】 前記クロックドライバ形成領域に形成されるクロックドライバは、人力駆および出力駆の2段のインバータを備え

前記インバートの間に、前記出力段のインバートを前記インバートと並列に動作する第1および第2のインバート回路を含む、請求項1記載の半導体集積回路装置。

前記出力段のインバータは、前記入力段のインバータと間に挟むように配置されかつ互いに並列に動作する第1および第2のインバータ回路を含む、請求項1記載の半導体集積回路装置。

【請求項7】 前記クロックドライバが形成された上置されるクロックドライバは、コンタクトを有する絶縁ゲート電極境界トランジスタを備え、前記コンタクトは平面レイアウトにおいて凹形状に形成され、請求項1記載の半導体集積回路を構成する。

【請求項8】 前記絶縁ゲート型電界効果トランジスタは前記クロックドライバの出力ノードに接続されるドレ

を有し、前記ドレイン領域と前記出力ノードを構成する配線との間の電氣的コンタクトをとるためのコンタクト孔と前記コントロールゲートとの間隔は最小設計法に設定される、請求項7記載の半導体集積回路装置。

【請求項9】 各前記サブクロックドライバ領域には同一
レールアウトでクロックドライバが形成され、非使用ク
ロックドライバは、入力ノードが前記リング配線および
メメッシュ配線に含まれる固定電圧広域線に結合され、カ
ツ出力ノードがオープン状態に設定される、請求項4記
載の半導体集積回路装置。

【請求項10】 前記非使用のクロックドライバと使用されるクロックドライバとは、入力ノードおよび出力ノードのスルーホールの平面図的に見た位置が異なる、請求項9記載の半導体集積回路装置。

【請求項1】 前記クロックドライバは、Pチャネル絶縁ゲート形成領域において形成されるクロックドライバは、Pチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタとを含む。

前記第1項第2号の「電機情報」は、さらに、前記Pチャネルと前記Nチャネルがトランジスタ形成領域と前記Nチャネルと電機効果トランジスタ形成領域との間、前記電機効果トランジスタ形成領域およびメッシュ配線に含まれる第1の固定電圧を伝達する第1の固定電圧を伝達するメッシュ配線に含まれる第2の固定電圧を伝達する第2の固定電圧を伝達するコンタクトゲートと前記リング配線およびメッシュ配線に含まれる第2の固定電圧を伝達する第2の固定電圧を伝達線に結合されるソースおよびドレイン領域を有する他、ゲート電機効果トランジスタ形成領域と前記電機効果トランジスタ形成領域を備える、請求項1記載の半導体集積回路。

【請求項12】 前記クロックドライバ形成領域に形成されるクロックドライバは、ソースおよびバックゲートが前記リング配線およびメッシュ配線に含まれる固定電圧を伝達する固定電圧伝達線に結合される絶縁ゲート型電界効果トランジスタを含む。

前記各平準体集計単位間の経路装置は、さらに、前記各経路はガード型
境界効果トランジスタのバックゲート形成領域を占有し、
ように形成されかつ前記固定電圧を受けるガードドリフト装置
をさらに含む、請求項1記載の平準体集計単位回路装置
[請求項13] 各前記サブプロセス形成されたガード型
同レーレイアウトのドライバ回路を形成され、

前記複数のサブクロックドライバ領域は、前記クロック信号をドライバするクロックドライバが配置されるクロックドライバ領域と前記クロック信号とは異なる信号をドライバするドライバが配置されるドライバ領域とを含む。

1. 國語の基礎知識

【0001】
【発明の詳細】

【発明の属する技術分野】この発明は半導体集積回路装

ック信号を伝送するクロックドライバC0-C6を含む。

【0006】この高速LS1においては、PLL110からのクロック信号は一旦中央部のリビータR0に転送され、次いで、この中央部のリビータR0から上下に設けられたリビータR1およびR4へクロック信号が転送される。これらのリビータR1およびR4から双方方向にクロック信号が伝送される。すなわちリビータR1からその両側に設けられたリビータR2およびR3へクロック信号が転送される。またリビータR4からリビータR7およびこのリビータR7と反対方向に設けられたリビータR5およびR6へクロック信号が転送される。リビータR7は、また、クロックドライバC4およびC6へクロック信号を転送する。

【0007】一旦中央部へクロック信号を転送した後、四方にクロック信号をリビータを介して分配することに、このクロック信号の伝送距離をほぼ同じとして、クロックスキューを低減することを図る。

【0008】この図17に示す高速LS1のクロックドライバの配置においては、リビータR0～R7の駆動能力および遅延が、PLL110からのクロック信号の遅延が最小となるように選択されており、これにより、立上りが速く立下がりも速く、急峻な波形を有するクロック信号が伝送される。リビータR0～R7およびクロックドライバC0～C6をチップ上に分散して配置することにより、高速クロック信号をその波形をなまらせることなくまたスキューを生じさせることなく転送することを図る。

【0009】図18は、従来の高速LS1の他の構成を概略的に示す図である。図18において、高速LS1150は、3つの分散して配置される演算ブロック150a、150bおよび150cと、演算ブロック150aおよび150bの間に配置されるクロックドライバ151と、演算ブロック150aおよび150bと演算ブロック150cの間に配置されるクロックドライバ152を含む。これらのクロックドライバ151および152はT字形状に配置される。高速LS1150の演算ブロック150a～150cは、たとえば浮動小数点演算ユニット(FPU)であり、演算ブロック150a、150bおよび150cはそれぞれ浮動小数点演算処理を実行する。

【0010】クロックドライバ151および152が形成される領域には、ゲートアレイが配置されており、マスク工程で、これらのクロックドライバ151および152における基本トランジスタの配置が形成される。スライス工程におけるアルミニウム配線により、これらのクロックドライバ151および152の駆動能力の調整を行なう。これにより、演算ブロック150a～150cにおける構成に応じて、クロックドライバ151および152の駆動能力を調整して、最適化されたクロック

ーン等のクロックネットワークにクロック信号を供給するためのクロックドライバを備える半導体集積回路装置に関する。より特定的には、この発明は半導体集積回路装置におけるクロックドライバのレイアウトに関する。

【0002】
【従来の技術】LS1においてクロックメッシュおよびフィッシュボーン等と呼ばれるクロックネットワークにクロック信号を供給するためのクロックドライバは、これらのクロックネットワークと大きく及び、その負荷容量が数pFと大きい。大きな駆動能力の高速化に要求される。また、LS1（大規模集積回路）の高速化により、このLS1の動作速度を決定するクロック周波数も数GHzからGHzオーダーへと高速化している。この極めて短いクロックサイクルに促って正確に動作するために、クロック信号のなまりおよびスキューに対しても厳しい仕様（立上がり/立下がり時間T_{RISE}/T_{FALL}およびスキュー値=100psオーダー）が求められている。これらのクロック信号に対する要求を満たすために、従来から、クロック分配に対して種々の工夫がなされている。

【0003】図17は、従来の高速LS1の全体の構成を概略的に示す図である。この図17に示す高速LS1は、4つのメモリブロックMB0～MB3を含む命令メモリ100と、この命令メモリ100のメモリブロックMB0およびMB1から読出された命令をブリデコードするためのブリデコード101aと、命令メモリ100のメモリブロックMB2およびMB3から読出された命令をブリデコードするためのブリデコード101bによりブリデコードされた命令をデコードするデコード102と、このデコード102によりデコードされた命令に従って処理を実行するためのデータバス109と、実行ユニットの1つであるメモリユニット(MU)の動作を制御するためのMUコントロール回路103と、命令を実行する命令ユニット(U)の動作を制御するためのIUコントロール回路104と、データを格納するデータメモリ107と、与えられたデータの変長符号化および可変長符号化を行なう可変長符号/復号回路(VLC/VLD)108と、与えられたデータの巡回冗長符号化による誤り検出/訂正動作を行なう巡回冗長符号化ブロック(CLC)106と、外部のメモリとのデータの授受および外部装置との信号の入出力を行なうための周辺インタフェース回路105を含む。

【0004】メモリユニットMUは、処理部と周辺回路ブロック105との間のデータの転送を制御する。

【0005】この高速LS1は、さらに、クロック信号を発生する位相同期回路(PLL)110と、PLL110からのクロック信号を転送するリビータR0～R7と、リビータR0～R7を介して転送されるクロック信号を受けて出力ノードを高速でドライブして高速でクロ

ック信号を伝送する。図17および図18に示す高速LS1において、クロックドライバの駆動能力を十分値とし、クロックスキューを低減させるために、予めLS1全体の3%程度の大きな領域の場所を限定してクロックドライバのために確保する必要がある。

特に図18に示す高速LS1の場合、ゲートアレイにより、実際に使用される駆動能力よりも大きな駆動能力が実現することができ、必要以上の面積を占める。したがって、このクロックドライバの配置により、LS1のプロファイルの平坦度を低下させ、応じて使用することのできないデッド領域が増加するため、クロックドライバが必要とする面積の増加以上の面積増加が生じ、高速LS1のチップ面積が増大するという問題が生じる。

【0012】また、これらのクロックドライバの配置位置は、固定的に定められており、このクロックネットワークの配線の不均一（デッド領域の増加による）により、このクロックドライバがクロックネットワークで不均等となり、応じてクロックスキューの低減を十分に行なうことができなくなるといった問題が生じる。

【0013】したがって、これらの図17および図18に示す高速LS1において、クロックネットワークに対して示す高速LS1において、クロックネットワークの配線が、クロックスキューを低減させるための改善の余地が生じる。

【0014】またこれらの図17および図18に示す配置においては、演算ブロック等の配置が定められた場合、それに応じてクロックドライバの配置も応じて定められるため、クロックドライバの配置に対して汎用性が存在しないという問題があった。

【0015】それゆえ、この発明の目的は、面積増加を生じさせることなく駆動能力の調整を容易に行なうことのできる半導体集積回路装置を提供することである。

【0016】この発明のさらなる他の目的は、内部配線にのみならず、容易にクロックドライバを最適な駆動能力で配置して、クロックスキューおよびクロックドライバのノイズを低減することのできる半導体集積回路装置を提供することである。

【0017】
【課題を解決するための手段】この発明に係る半導体集積回路装置は、要約すれば、メッシュ状電源配置においてこの電源線下にクロックドライバを敷きつめる。

【0018】すなわち、請求項1に係る半導体集積回路装置は、矩形半導体基板領域内に沿って形成された配線が所定の電圧および/または信号を伝達する領域のリング配線と、このリング配線により囲まれる領域内にわたって延在して配置されかつリング配線と接続するメッシュ配線と、リング配線およびメッシュ配線配線領域と平面図的に見て重なり合うように配置されるクロックドライバ形成領域を備える。クロックドライバ形

成領域に形成されるクロックドライバは、半導体基板領域に形成される回路の動作タイミングを与えるクロック信号を伝送する。

【0019】請求項2に係る半導体集積回路装置は、請求項1のリング配線およびメッシュ配線が電源線および接地線とそれぞれ伝達する電源線および接地線を含む。これらの電源線および接地線は互いに平行に配置される。クロックドライバ形成領域に形成されるクロックドライバは、平面図的に見てこれらの電源線および接地線により、これらの間の領域を縦横に実質的に覆われるように配置される。

【0020】請求項3に係る半導体集積回路装置は、請求項2の装置において、クロックドライバの出力信号を伝達するクロック信号線が、電源線および接地線の間に配置される。

【0021】請求項4に係る半導体集積回路装置は、請求項1の配線通過領域により複数のサブクロックドライバ形成領域に分割される。

【0022】請求項5に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバが、人力段および出力段の2段のインバータを備える。人力段のインバータは出力段のインバータ間に挟むように配置されかつ並列に動作する第1および第2のインバータ回路を含む。

【0023】請求項6に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバが、人力段および出力段の2段のインバータを含む。出力段のインバータは、人力段のインバータを含む。出力段のインバータは出力段のインバータ間に挟むように配置されかつ並列に動作する第1および第2のインバータ回路を含む。

【0024】請求項7に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に配置されるクロックドライバは、コントロールゲートを有する絶縁ゲート型電界効果トランジスタを備える。このコントロールゲートは平面レイアウトにおいて矩形に配置される部分を含む。

【0025】請求項8に係る半導体集積回路装置は、請求項7の絶縁ゲート型電界効果トランジスタが出力ノードに接続されるドレイン領域をさらに有する。このドレイン領域と出力ノードを構成する配線との間の電気的コンタクトをとるためのコンタクト孔とコントロールゲート間隔は、最小設計寸法に設定される。

【0026】請求項9に係る半導体集積回路装置は、請求項4のサブクロックドライバ領域各々には、同一レイアウトでクロックドライバが形成される。非使用領域のクロックドライバがリング配線およびメッシュ配線に含まれる固定電圧伝達線に結合され、かつ出力ノードがオープン状態に設定される。

【0027】請求項10に係る半導体集積回路装置は、請求項9の装置において非使用のクロックドライバと使

クロックドライバサブブロック4に分割することにより、このクロックドライバサブブロック4内に形成されるドライバ回路の段数を低減して、その起時間遅延を短縮し、応じてクロックドライバの構成要素を相互

【0042】また、クロックドライバの構成要素を相互接続する配線と内部回路または他回路との接続を行なうための配線が類似した場合、このクロックドライバの動作によりノイズが他回路への配線に乗り、他回路動作に悪影響を及ぼす。配線通過領域40を設け、この他回路の配線とクロックドライバの相互接続の配線とを分離することにより、このような配線の類似がなく、クロックドライバの動作によるノイズが他回路の動作に悪影響を及ぼすのを防止する

【0043】また、配線通過領域40を設けておくことにより、クロックドライバサブブロック4内において、クロックドライバ回路を余量をもって他回路配線のレイアウトを考慮することなく配置することができる

【0044】【実施の形態3】図5は、この発明の実施の形態3に従う半導体回路装置の構成を概略的に示す図である。図5においては、電源線VDDを伝送する電源線10aと接地電圧VSSを伝送する接地線10bが互いに平行に同様に配置される。これらの電源線10aおよび10bの間に、クロックドライバ回路4aの出力信号を伝送するクロック出力線13が配置され、このクロック出力線13は、電源線10aおよび接地線10bと同様に形成されかつこれらの間に配置されるクロック出力線4aは、クロックドライバサブブロック4内に形成されるドライバ回路であってよく、またクロックドライバ形成領域3内に形成されるクロックドライバであってよい。

【0045】また、電源線10aおよび接地線10bは、リング配線1およびメッシュ配線2のいずれに含まれてもよいが、その下部に、クロックドライバ回路4aが形成されている。電源線10aおよび接地線10bは、固定電圧を伝送する したがって、これらの電源線10aおよび接地線10bの間にクロック出力線13を配置することにより、電源線10aおよび接地線10bが静電シールドとして機能し、クロック出力線13の信号変化が、ノイズとなつて他回路に悪影響を及ぼすのを防止することができる。

【0046】なお、クロック出力線13は、適当な箇所にて、他回路へクロック信号を伝送するために他の他回路へ結合されるため、たとえば配線通過領域において他回路のクロック入力線と接続される。

【0047】以上のように、この発明の実施の形態3に従えば、クロックドライバ回路の出力クロックを伝送するクロック出力線と、リング配線またはメッシュ配線に含まれる電源線および接地線の間に配置されているため、この電源線および接地線がクロック出力線に対する静電遮蔽層として機能し、クロック信号が容易に結合により他

ンク配線1またはメッシュ配線2形成領域下部に、平面図的にこれと重なり合うように、クロックドライバを形成するトランジスタT₁が形成される。このトランジスタT₁は、絶縁ゲート型電界効果トランジスタ(以下MOSトランジスタと称す)で構成される。そのゲートが内部配線11により接続される。この内部配線11は、リング配線1およびメッシュ配線2よりも下の配線層に形成されており、この内部配線11が、リング配線1およびメッシュ配線2およびリング配線1の影響を受けることなくトランジスタを形成して、これらのMOSトランジスタの相互接続を行なってクロックドライバの形成および他回路との接続を行なうことができる。

【0038】たとえば、P₁1.1などからの内部クロック信号がたとえば中央部のクロックドライバ回路へ与えられ、図4へ分散して伝送される。

【0039】以上のように、この発明の実施の形態1に従えば、半導体基板領域上に形成されるリング配線およびメッシュ配線と平面図的に見て重なり合うようにクロックドライバ形成領域を配置してこのクロックドライバ形成領域内にクロックドライバを形成するトランジスタを敷き詰めて配置しているため、何らの半導体基板領域内に形成される内部回路のレイアウトに悪影響を及ぼすことなくクロックドライバを形成することができる。また、半導体基板領域内にクロックドライバが分散して配置されているため、任意の内部回路へ、高速でクロック信号を伝送することができる。またクロックドライバは、この半導体基板領域内に分散して配置されているため、内部回路のレイアウト時に、このクロックドライバの配置位置を考慮する必要がなく、内部回路のレイアウトに応じてクロックドライバを適宜配置することができ、回路レイアウトの自由度を大幅に改善することができる。また、クロックドライバ動作時の電磁放射ノイズを上層の電源線/接地線と吸収できる。

【0040】このクロックドライバ形成領域3に形成されるクロックドライバの駆動能力は、そこに形成されるトランジスタを適宜選択することにより容易に調整することができる。

【0041】【実施の形態2】図4は、この発明の実施の形態2に従う半導体回路装置の構成を概略的に示す図である。図4に示す構成においては、クロックドライバ形成領域は、リング配線1およびメッシュ配線2を構成する方向に形成される配線通過領域40に分割される。このクロックドライバサブブロック4内に形成される。このクロックドライバ形成領域3に形成される。大きなクロックドライバを形成した場合、そのクロックドライバの中における遅延が大きくなる(ドライバ回路の段数が増加するため)。

される配線2bを含む。これらのリング配線1およびメッシュ配線2は、少なくとも電源線VDDを伝送する電源線、および接地電圧VSSを伝送する接地線を含

む。これらの電源線および接地線を半導体基板領域上にメッシュ状に配置することにより、この基板領域内に形成される内部回路への電源電圧および接地電圧をその近傍領域の電源線/接地線から供給することができる。電源線強化が実現される。

【0033】これらのリング配線1およびメッシュ配線2には、また必要に応じてクロック信号を伝送するクロック信号線が含まれる。このクロック信号線がメッシュ配線2およびリング配線1に含まれる場合、内部回路へは、安定にクロック信号をその近傍のクロック信号線から伝送することができ、クロック信号のなまりの低減およびクロックスキューの低減等が実現される。

【0034】リング配線1およびメッシュ配線2は、内部回路に安定に必要な電圧/信号を供給し、またその配線抵抗を低減するために、通常配線幅の10倍以上の配線幅を有している。したがって、これらのリング配線1およびメッシュ配線2は、大きな配線幅を必要とするため、多層配線プロセスにおいて、上層の配線層に、これらのリング配線1およびメッシュ配線2が形成される。

【0035】図2は、この発明の実施の形態1に従うクロックドライバの配置を概略的に示す図である。図2において、このリング配線1およびメッシュ配線2の配置領域と平面図的に見て重なり合うように、クロックドライバ形成領域3が配置される。このクロックドライバ形成領域3に形成されるクロックドライバは、このクロックドライバ形成領域3内に敷き詰めて配置されるように形成する。必要とされる駆動能力に応じて、必要なクロックドライバのみその人カノードおよび出力ノードをクロック信号線に接続して動作させる。不要なクロックドライバは、その人カノードの電源線または接地線に接続し、出力ノードをオープン状態に設定し、不動作状態とする。これにより、クロックドライバの駆動能力を調整する。

【0036】具体的に、たとえばクロックドライバが、複数のカスケーディング接続されるインバータで構成される場合、そのクロックドライバに要求される駆動能力に応じて、用いられるインバータの段数を調整する。または、各インバータを構成するトランジスタの駆動能力を調整する。クロックドライバ形成領域3には、このインバータを構成するトランジスタが敷き詰めてあり、必要なトランジスタのみを使用する。

【0037】図3は、この発明の実施の形態1における半導体回路装置の平面構造を概略的に示す図である。図3において、リング配線1またはメッシュ配線2は、クロックドライバを形成するために必要な配線層より上層に形成される電源線VDDを伝送する電源線1aおよび接地電圧VSSを伝送する接地線1bを含む。このリ

用されるクロックドライバとは人カノードおよび出力ノードのスルーホール位置が異なる。

【0028】請求項1に係る半導体回路装置は、請求項1のクロックドライバ形成領域において形成されるクロックドライバは、Pチャネル電界効果トランジスタとNチャネル電界効果トランジスタとを含む。この請求項1に係る装置は、さらに、このPチャネル電界効果トランジスタとNチャネル電界効果トランジスタとを形成領域とNチャネル電界効果トランジスタ形成領域との間に配置し、リング配線1およびメッシュ配線2に含まれる第1の固定電圧を伝送する第1の固定電圧伝送線に結合されるコンタクトゲートとこれらのリング配線およびメッシュ配線に含まれる第2の固定電圧を伝送する第2の固定電圧伝送線に結合されるソースおよびドレイン領域とを有する電線ゲート型電界効果トランジスタで構成されるキャパシタを備える。

【0029】請求項12に係る半導体回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバは、ソースおよびバックゲートがリング配線およびメッシュ配線に含まれる固定電圧を伝送する固定電圧伝送線に結合される電線ゲート型電界効果トランジスタを含む。この電線ゲート型電界効果トランジスタのバックゲート形成領域を形成するように固定電圧を受け取るゲートが形成される。

【0030】請求項13に係る半導体回路装置は、請求項4のサブブロックドライバ領域には、同一レイアウトのドライバが形成される。これら複数のサブブロックドライバ領域は、クロック信号をドライバするクロックドライバが配置される領域と、クロック信号と異なる信号をドライバするドライバが配置される領域とを含む。

【0031】半導体基板領域上全面にわたって形成されるリング配線およびメッシュ配線と重なり合うようにクロックドライバ形成領域を配置することにより、この半導体基板領域内においては、基板占有面積を増加させることなくクロックドライバを配置させることができる。このクロックドライバは基板全面にわたって分散して配置されるため、内部回路レイアウトに応じて適当なクロックドライバを選択することにより、最適なクロックドライバ配置を実現することができる。

【0032】【発明の実施の形態】【実施の形態1】図1は、この発明に従う半導体回路装置の配線レイアウトを概略的に示す図である。図1において、この半導体回路装置は、矩形状の半導体基板領域周辺に沿って延在して閉ループを描くように配置されるリング配線1と、このリング配線1内部領域上にわたって延在しかつメッシュ状に形成される、かつリング配線1に接続されるメッシュ配線2を含む。このメッシュ配線2は、図1の水平方向に延在して形成される配線2aと、図1の垂直方向に延在して形成

(8)

速で出力クロック信号を生成することができる。出力段インバータBのCMOSインバータ回路(MOSTランジスタPQ3-PQ8およびNQ3-NQ8)のゲートは、両側に設けられたCMOSインバータ回路A1およびA2の出力信号により駆動されており、これらの出力段インバータBのCMOSインバータ回路に対する入力信号の到達時間が同一となり、ほぼ同じタイミングで出力信号が駆動されるため、高速で出力クロック信号が生成される。

【0057】これにより、高速動作するクロックドライバ回路が実現され、クロックドライバ内における信号遅延(ゲート遅延)を低減することができ、スキューの少ないクロック信号を伝達することが可能となる。

【0058】[実施の形態5] 図7(A)-(C)は、この発明の実施の形態5に従ってクロックドライバの構成を示す図である。図7(A)に示すように、この実施の形態5においても、クロックドライバサブブロック4においては、2段の互いに駆動力の異なるインバータ回路AおよびBが形成される。

【0059】図7(B)は、この発明の実施の形態5におけるクロックドライバ回路の平面レイアウトを概念的に示す図である。この実施の形態5においても、電源線10aと接地線10bが平行に配置され、電源線10aの下側に、PチャネルMOSTランジスタ形成領域Pが設けられ、接地線10bの下側に、NチャネルMOSTランジスタ形成領域Nが配置される。出力段インバータBが、2つのCMOSインバータ回路B1およびB2に分割され、これらのCMOSインバータ回路B1およびB2の間の中央部に、入力段インバータAが配置される。この入力段インバータAのゲート電極Gは、コンタクトおよびスルーホールを介して入力信号を伝達する第2層アルミニウム層に形成されるクロック入力線62に結合される。ここで、図7(B)において、図6

(B)と同様、白い四角印は、第1層アルミニウム配線層のウエーブドレインまたはゲート電極層とのコンタクトをなし、黒い四角印は、第1層アルミニウム配線層と第2層アルミニウム配線層とを接続するためのスルーホールを示す。

【0060】入力段インバータAのPチャネルMOSTランジスタのソース領域PSは、電源線10aに接続され、またNチャネルMOSTランジスタのソース領域NSが接地線10bに接続される。これらの入力段インバータAのMOSTランジスタのドレイン領域PDおよびNDは、第2層アルミニウム配線層に形成される配線52に電気的に接続される。

【0061】インバータ回路B1およびB2は、CMOSインバータ回路の構成を備え、PチャネルMOSTランジスタ形成領域Pにおいてはドレイン領域PDとソース領域PSが交互に配置され、ソース領域PSおよびドレイン領域PDは、それぞれ2つの隣接するMOSTランジスタ間に形成される。

【0062】出力段CMOSインバータ回路B1およびB2のMOSTランジスタのドレイン領域PDおよびNDは、出力線63に電気的に接続される。配線52は、モジュールCMOSインバータ回路B1およびB2に伝達される。

【0063】中央部に配置された入力段インバータAからの出力信号が、配線52を介して両側に設けられた出力段CMOSインバータ回路B1およびB2に伝達される。

【0064】図7(C)は、図7(B)に示すクロックドライバ回路の電気的等価回路を示す図である。図7(C)に示すように、入力段インバータAは、2つのPチャネルMOSTランジスタPQ1およびPQ2と2つのNチャネルMOSTランジスタNQ1およびNQ2で構成される。

【0065】出力段CMOSインバータ回路B1は、3つのPチャネルMOSTランジスタPQ3-PQ5と3つのNチャネルMOSTランジスタNQ3-NQ5で構成される。出力段CMOSインバータ回路B2は、3つのPチャネルMOSTランジスタPQ6-PQ8と3つのNチャネルMOSTランジスタNQ6-NQ8で構成される。

【0066】この入力段インバータAの出力信号は、互いに反対方向に出力段CMOSインバータ回路B1およびB2に伝達される。したがって、この入力段インバータAからの出力信号は、同じ時間で、これらの出力段CMOSインバータ回路B1およびB2に伝達され、CMOSインバータ回路B1およびB2は、実質的に同じタイミングで動作し、クロック出力線63を駆動する。入力段インバータAは、出力段インバータB(B1、B2)の中央部に配置されており、この入力段インバータAの出力信号が、出力段CMOSインバータ回路B1およびB2まで伝達される距離は短く、その信号伝達遅延は小さい。したがって、このクロックドライバ回路内における信号遅延を小さくすることができ、高速動作するクロック出力線63を実現することができる。

【0067】以上のように、出力段インバータ回路を2つに分割し中央部に入力段インバータを配置しているため、入力段インバータの信号伝達遅延を短くすることができ、また出力段インバータへの入力信号の伝達距離を同じとすることができ、このクロックドライバ内における信号伝達遅延(ゲート遅延)を低減することができ、高速動作するクロックドライバ回路を実現することができ、

【0068】[実施の形態6] 図8(A)は、この発明

(7)

ース領域NSおよびドレイン領域NDが交互に配置される。ソース領域NSが、接地線10bに接続される。PチャネルMOSTランジスタのドレイン領域PDとNチャネルMOSTランジスタのドレイン領域NDが第1層アルミニウム配線51により相互に接続される。これらのソース領域NSおよびドレイン領域NDに、対応するMOSTランジスタのゲート電極を構成するゲート電極層Gが配置される。入力段インバータA1およびA2のドレイン領域PDが第2層アルミニウム層52により、出力段インバータBのゲート電極層にコンタクトを介して接続される。配線52は第2層アルミニウム配線層であり、ゲート電極層Gは第1層ポリシリコン層であるため、この出力段インバータBのゲート電極層と配線52との接続には、中間に第1層アルミニウム配線層が介在する。

【0053】配線51は、また電源線10a外側に設けられる第2層アルミニウム配線層に形成される出力線63に接続され、また入力段インバータA1およびA2のMOSTランジスタに対するゲート電極Gが、接地線10bの外側に配置される第2層アルミニウム配線層の出力線62に接続される。

【0054】図6(C)は、図6(B)に示すクロックドライバ回路の電気的等価回路を示す図である。図6(C)に示すように、CMOSインバータ回路A1およびA2の間に、出力段インバータBを構成するMOSTランジスタを形成する領域が設けられ、また接地線10bを伝達する接地線10bの下側に、NチャネルMOSTランジスタを形成する領域が設けられる。これらの電源線10aおよび接地線10bは、たとえば第2層アルミニウム配線層に形成される。

【0055】入力段インバータAは、2つのCMOSインバータ回路に分割される。すなわち、図6(B)において、出力段インバータBを間に挟むように、2つのCMOSインバータ回路A1およびA2が配置される。このCMOSインバータ回路A1およびA2において、PチャネルMOSTランジスタのソース領域PSがコンタクト461を介して中間の第1層アルミニウム配線層に接続され、この中間の第1層アルミニウム配線層は、コンタクト462を介して電源線10aに接続される。またNチャネルMOSTランジスタのソース領域NSは、コンタクト461を介して第1層アルミニウム配線層に接続され、第1層アルミニウム配線層がコンタクト462を介して接地線10bに接続される。CMOSインバータ回路A1およびA2において、ドレイン領域PD第1層アルミニウム配線層50aおよび50bで相互に結合される。

【0056】間に形成される出力段インバータBも同様、CMOSインバータ回路で構成される。この出力段インバータBにおいてPチャネルMOSTランジスタのソース領域PSおよびドレイン領域NDが交互に配置される。これらのPチャネルMOSTランジスタのソース領域PSが、電源線10aに接続される。同様、この出力段インバータBのNチャネルMOSTランジスタのソ

ース領域NSが、接地線10bに接続される。したがって、この出力段インバータBの出力信号が、高速で伝達される。また、出力段インバータBの入力部に伝達される信号伝達遅延が生じることなく、入力クロック信号に応じて、高

速で伝達される。図8(B)は、この発明の実施の形態6に従ってクロックドライバの構成を示す図である。図8(B)に示すように、この実施の形態6においても、クロックドライバサブブロック4においては、2段の互いに駆動力の異なるインバータ回路AおよびBが形成される。

【0057】図8(B)は、この発明の実施の形態6におけるクロックドライバ回路の平面レイアウトを概念的に示す図である。この実施の形態6においても、電源線10aと接地線10bが平行に配置され、電源線10aの下側に、PチャネルMOSTランジスタ形成領域Pが設けられ、接地線10bの下側に、NチャネルMOSTランジスタ形成領域Nが配置される。出力段インバータBが、2つのCMOSインバータ回路B1およびB2に分割され、これらのCMOSインバータ回路B1およびB2の間の中央部に、入力段インバータAが配置される。この入力段インバータAのゲート電極Gは、コンタクトおよびスルーホールを介して入力信号を伝達する第2層アルミニウム層に形成されるクロック入力線62に結合される。ここで、図8(B)において、図6

(B)と同様、白い四角印は、第1層アルミニウム配線層のウエーブドレインまたはゲート電極層とのコンタクトをなし、黒い四角印は、第1層アルミニウム配線層と第2層アルミニウム配線層とを接続するためのスルーホールを示す。

【0060】入力段インバータAのPチャネルMOSTランジスタのソース領域PSは、電源線10aに接続され、またNチャネルMOSTランジスタのソース領域NSが接地線10bに接続される。これらの入力段インバータAのMOSTランジスタのドレイン領域PDおよびNDは、第2層アルミニウム配線層に形成される配線52に電気的に接続される。

【0061】インバータ回路B1およびB2は、CMOSインバータ回路の構成を備え、PチャネルMOSTランジスタ形成領域Pにおいてはドレイン領域PDとソース領域PSが交互に配置され、ソース領域PSおよびドレイン領域PDは、それぞれ2つの隣接するMOSTランジスタ間に形成される。

【0062】出力段CMOSインバータ回路B1およびB2のMOSTランジスタのドレイン領域PDおよびNDは、出力線63に電気的に接続される。配線52は、モジュールCMOSインバータ回路B1およびB2に伝達される。

【0063】中央部に配置された入力段インバータAからの出力信号が、配線52を介して両側に設けられた出力段CMOSインバータ回路B1およびB2に伝達される。

【0064】図8(C)は、図8(B)に示すクロックドライバ回路の電気的等価回路を示す図である。図8(C)に示すように、この実施の形態6においても、クロックドライバサブブロック4においては、2段の互いに駆動力の異なるインバータ回路AおよびBが形成される。

【0065】出力段CMOSインバータ回路B1は、3つのPチャネルMOSTランジスタPQ3-PQ5と3つのNチャネルMOSTランジスタNQ3-NQ5で構成される。出力段CMOSインバータ回路B2は、3つのPチャネルMOSTランジスタPQ6-PQ8と3つのNチャネルMOSTランジスタNQ6-NQ8で構成される。

【0066】この入力段インバータAの出力信号は、互いに反対方向に出力段CMOSインバータ回路B1およびB2に伝達される。したがって、この入力段インバータAからの出力信号は、同じ時間で、これらの出力段CMOSインバータ回路B1およびB2に伝達され、CMOSインバータ回路B1およびB2は、実質的に同じタイミングで動作し、クロック出力線63を駆動する。入力段インバータAは、出力段インバータB(B1、B2)の中央部に配置されており、この入力段インバータAの出力信号が、出力段CMOSインバータ回路B1およびB2まで伝達される距離は短く、その信号伝達遅延は小さい。したがって、このクロックドライバ回路内における信号遅延を小さくすることができ、高速動作するクロック出力線63を実現することができる。

【0067】以上のように、出力段インバータ回路を2つに分割し中央部に入力段インバータを配置しているため、入力段インバータの信号伝達遅延を短くすることができ、また出力段インバータへの入力信号の伝達距離を同じとすることができ、このクロックドライバ内における信号伝達遅延(ゲート遅延)を低減することができ、高速動作するクロックドライバ回路を実現することができ、

【0068】[実施の形態6] 図8(A)は、この発明

利用してその駆動能力を補償することができる。この駆動能力の調整は、内部回路のレイアウト後にも、未使用クロックドライバ回路を用いて行うことができる。また、未使用回路の数が低減されるため、回路利用効率が改善される。

【0119】【他の適用用途】半導体回路装置として、内部回路がクロック信号は同時に動作する回路であればよく、精密設計手法などにおいてマクロ単位での設計が行なわれる場合、そのマクロ境界領域に属するクロックドライバ形成領域が配置されてよい。

【0120】

【発明の効果】請求項1に係る発明に従えば、リング配線およびメッシュ配線両方に、これらと重なり合うようにクロックドライバ形成領域を設けるため、クロックドライバを設けるための特別の専用の領域を設ける必要がなく、レイアウト面積が低減され、また半導体基板領域上にクロックドライバを分散して配置することができ、適切な領域からクロック信号を取出すことができ、またクロック信号線も、これらのメッシュ配線およびリング配線と同様の構成となるためクロック信号線を強化することができ、クロックスキューを低減することができ、クロックドライバを配置することができる。

【0121】請求項2に係る発明に従えば、クロックドライバを、リング配線およびメッシュ配線に含める電源線および接地線とそれらの間の領域を除いて実質的に覆われるように配置しているため、従来の配線領域として用いられていた領域を空き領域を効率的に利用して、クロックドライバを配置することができる。

【0122】請求項3に係る発明に従えば、クロック出力信号線と電源線および接地線の間に配置しているクロック信号線が、電源線および接地線によりシールドされ、クロック信号の容量結合によるノイズが他回路に伝達されるのを防止することができる。

【0123】請求項4に係る発明に従えば、クロックドライバ形成領域をリング配線およびメッシュ配線が交差するよう配置される配線を通過させる領域によりクロックドライバ領域に分割しているため、クロックドライバの範囲を小さくして、クロックドライバにおける信号遅延（ゲート遅延）を低減することができる。また他回路のクロックドライバの動作によるノイズが他回路の配線に伝達されるのを防止することができる。

【0124】請求項5に係る発明に従えば、クロックドライバを、入力段および出力段の2段のインバータで構成する場合、入力段のインバータを出力段のインバータに挟むように配置されるように構成しているため、この入力段インバータの出力信号が高速で出力段インバータに伝達され、クロックドライバ回路における信号伝達遅延を低減することができ、高速動作するクロックドライバ回路を実現することができる。これにより、クロックドライバ回路の動作によるノイズが他回路の配線に伝達されるのを防止することができる。

リング93および95は、たとえばフィードバック線により、他のクロックドライバ回路から分離されてもよい。また、いわゆるトレンチ構造の分離構造（PN接合分離）によりクロックドライバ回路間でガードリングが互いに分離されてよい。

【0115】これにより、PMOS形成領域92およびNMOS形成領域94に形成されるMOSトランジスタの基板電圧を一定に保持することができ、ドライバ回路の動作時に発生する基板ノイズが他回路に悪影響を及ぼすのを防止することができる。

【0116】【実施の形態10】図16は、この発明の実施の形態10に従う半導体回路装置の要部の構成を概略的に示す図である。図16において、リング配線およびメッシュ配線下に配置されるクロックドライバは、クロックドライバサブブロック4に分割される。これらのクロックドライバサブブロック4に分割される。クロックドライバサブブロック4の間には、通過配線領域40が設けられる。クロックドライバサブブロック4においては、クロック信号を伝達するために用いられない未使用クロックドライバが配置される未使用クロックドライバサブブロック4x、4yおよび4zが存在する。これらの未使用クロックドライバサブブロックは、先の図10に示すように、その入力が所定電圧レベルに固定され、その出力がオープン状態に設定されている。本実施の形態においては、この未使用のクロックドライバサブブロックを他信号をドライバするためのドライバ回路として利用する。すなわち、その入力を、通過配線領域において他信号線に接続し、また、その出力を同様に通過配線領域内に介して他回路へ接続する。このクロックドライバサブブロック40を介して、サブブロック4内の適当な位置に対して行なわれてよい。

【0117】図16においては、この未使用のクロックドライバサブブロックとして、外部からの入力信号をドライバとして回路へ伝達する入力信号ドライバ回路4x、4y、4zと、この内部回路の処理結果を示す信号を外部へ出力する出力信号ドライバ回路4yと、半導体回路装置内の内部回路から内部回路への信号をドライバする内部信号ドライバ回路4zを代表的に示す。

【0118】信号ドライバ用のバックアップ回路などの配置領域が存在しない場合においても、このサブブロック4は、同一レイアウトのドライバ回路を有し、矩形状半導体基板領域上に分散して配置されているため、適当な位置の未使用クロックドライバ回路を、他の信号をドライバするバックアップ回路として利用することができる。これにより、クロック信号以外の信号をドライバするためのドライバ回路を特に設けるための領域を設ける必要がなく、レイアウト面積が低減される。また、バックアップ回路が存在する場合においても、そのバックアップ回路の駆動能力が小さい場合、容易に未使用クロックドライバ回路を

ことができる。また、これらのデカップリング容量は、MOSトランジスタで構成しているため、PおよびNチャネルMOSトランジスタ製造工程と同一製造工程でデカップリング容量を形成することができる。何ら製造工程を増加させることはない。

【0112】【実施の形態9】図15は、この発明の実施の形態9に従う半導体回路装置の要部の構成を概略的に示す図である。この図15に示す構成においては、PチャネルMOSトランジスタが形成されるP3MOS形成領域92を形成するように、ガードリング93が配置される。このガードリング93は、電源電圧VDDレベルに固定され、PMOS形成領域92内のPMOSトランジスタのバックゲートをまた、電源電圧VDDレベルに固定する。一方、NチャネルMOSトランジスタを形成するNMOS形成領域94を形成するように、またガードリング95が形成される。このガードリング95は接地電圧VSSレベルに固定され、また、NMOS形成領域のNMOSトランジスタのバックゲートを接地電圧VSSに固定する。これらのPMOS形成領域92およびNMOS形成領域94の間に、デカップリング容量を形成する容量形成領域79が配置される。

【0113】PMOS形成領域92およびNMOS形成領域94には、クロックドライバサブブロックが配置されてもよく、また1つの大きなクロックドライバの所定領域単位（たとえばインバータ単位）でガードリングが設けられてもよい。PMOS形成領域92内には複数のPチャネルMOSトランジスタが形成され、またNMOS形成領域94内には、複数のNチャネルMOSトランジスタが形成される。これらのMOSトランジスタ動作時には、ソース/ドレイン接合容量を介して基板領域にノイズが発生し、このノイズが他回路に伝達することが考えられる。バックゲートバイアス印加領域として機能するガードリング93および95を設けることにより、クロックドライバ（クロックドライバ回路）動作時におけるノイズが、他回路に基板領域を介して伝達するのを防止することができる。クロックドライバ（クロックドライバ回路）の動作が悪影響を及ぼすのを防止することができる。

【0114】なお、図15に示す構成においてはPMOS形成領域92およびNMOS形成領域94それぞれにガードリング93および95が設けられている。PMOS形成領域92およびNMOS形成領域94の一方にのみガードリングが設けられてもよい。ガードリング93は、たとえば高濃度N型不純物領域で形成され、このPMOS形成領域92内に形成されるPチャネルMOSトランジスタのバックゲート（基板）を電源電圧VDDレベルに固定する。またガードリング95は、高濃度P型不純物領域で形成され、このNMOS形成領域94内に形成されるNチャネルMOSトランジスタのバックゲートを接地電圧VSSレベルに固定する。これらのガード

においては、デカップリング容量SC1は、そのゲートが接地ノードに接続され、そのドレインおよびソースが電源線に結合されるNチャネルMOSトランジスタで構成される。この図14（A）に示すデカップリング容量SC1においては、単に図12に示す配置において、電源線80および81を交換する。この場合においても、ゲートソース間容量およびゲートドレイン間容量は十分大きく、ノイズ吸収用のデカップリング容量として、この容量SC1が機能する。

【0107】【変例2】図14（B）は、この発明の実施の形態8の変例の構成を示す図である。図14（B）に示すデカップリング容量SC2は、そのゲートが接地線に接続され、そのソースおよびドレイン領域が電源線に結合されるPチャネルMOSトランジスタで構成される。この場合、デカップリング容量SC2は常時導通状態にあり、チャネル領域が形成されるため、大きな容量値を有するデカップリング容量を実現することができる。

【0108】この図14（B）に示すデカップリング容量SC2は、フィードバック線79内にPチャネルMOSトランジスタを形成するため、Nウェル65をこのフィードバック線79を囲むように設けられる。ゲートは、線12に示すレイアウトにおいて電源線80および81を入力線とすることにより実現される。

【0109】【変例3】図14（C）は、この発明の実施の形態8のデカップリング容量の変例を示す図である。この図14（C）に示すデカップリング容量SC3は、そのゲートが電源線に接続され、ソースおよびドレインが接地線に接続されるPチャネルMOSトランジスタで構成される。この図14（C）に示すデカップリング容量SC3は、常時非導通状態のMOSトランジスタとして利用する。図14（C）に示すデカップリング容量SC3は、図12に示すレイアウトにおいて、Nウェル65をフィードバック線79を囲むように配置し、このフィードバック線79内の不純物領域をP型不純物領域で形成することにより実現される。

【0110】なお、これらの図13および図14（A）～（C）に示すMOSキャパシタが個々にデカップリング容量として用いられてもよく、また、これらの構成を組合わせてデカップリング容量として利用されてもよい。

【0111】以上のように、この発明の実施の形態8に従えば、クロックドライバ回路を形成するPチャネルMOSトランジスタおよびNチャネルMOSトランジスタの間の領域に、MOSキャパシタを配置するように構成しているため、両方のキャパシタ領域を設ける必要がなく、効率的にクロックドライバ回路の電源/接地ノイズを吸収することのできるデカップリング容量を実現する

(15)

ノスキューを低減できる。

【0125】第5項6に係る発明に従えば、クロックド
バック回路を形成する入力段のインバータを、出力段イ
ンバータで接合するように構成しているため、入力段インバ
ータの出力信号を出力段インバータに高速で伝達させる
ことができ、高速動作するクロックドライバ回路を実現
することができ、クロックスキューを低減することができ
る。

【O1126】請求項7に係る発明に従えば、クロックドライバ形成領域において、MOSTランジスタのコントロールゲートを凹形状に形成しているため、MOSTランジスタのチャネル幅を実効的に広くすること、レイアウト面積を増加させることなく電流駆動力の増大を表現することができる。

0127) 請求項8に係る発明に従えば、このクロックドライプ回路の出力波形にされたコントロールゲートMOSトランジスタのドレイン領域のコンタクトとの接触を最小設計寸法になるように設定しているため、ドレイン面積を最小として、ドレイン容量を最小とし、出力ノードの寄生容量を削減して高速で出力信号を生成することのできるクロックドライプ回路を実現することになる。

10-12 諸事項(9)に係る発明に従えば、各サブクロックドライバ増幅域に同一レイアウトでクロックドライバ回路を形成し、非使用クロックドライバ回路を、入出力ノードを固定位置に設定しつつ出力ノードをオープン状態に設定しているため、半配線接続を切換えるだけで容易に非使用クロックドライバを非使用状態におくことができる。

を容易に実現することができる。

【0130】請求項11に係る発明に従えば、このクロックドライバ形成領域には、PチャネルMOSトランジスタを形成する領域とNチャネルMOSトランジスタを形成する領域が存在し、これらの領域の間に、MOSトランジスタで形成されるMOSキャパシタを配置し、このMOSキャパシタを電源線と接地線の間に接続して、そのため、両方の領域を設けることなくデカップリング容量を配置することができる。クロックドライバ回路のノイズを低減することができ、

【0131】請求項12に係る発明に従えば、クロックドライバを別々の回路へ伝送されるのではなく、クロックドライバにおいて、MOSトランジスタのパッケージドライバ回路において、MOS出力にバイアスされるガードラートを取囲むように、固定電位にバイアスされるガードリングを設けているため、クロックドライバ回路の動作による基板ノイズが他回路へ伝送されるのを防止することができ、他回路の誤動作を防止することができる。

[O132] 請求項3に依る発明に據れば、サブクロックドライバ領域に同一レイアウトのクロックタイプ回路を形成し、これらのクロックドライバ領域において使用されるサブクロックタイプの別々の信号をドライブするためのドライバ回路として利用するように構成しているため、回路利用率が改善され、また他箇所のドライバ回路の配線面積を別に設ける必要がなくレイアウト面積が低減され、また容易に他信号のドライバ回路のドライバ能力を調整することができ、

【圖面の簡明な説明】

【図 1】 この発明に従う半導体回路装置の電源構成を概略的に示す図である。

【図2】 この発明の実施の形態1に従うクロックドライバ形成領域を概念的に示す図である。

【図3】 この発明の実施の形態1におけるクロックドライバおよび電源の配置関係を概念的に示す図である。

【図4】 この発明の実施の形態2に従う半導体回路装置の全体の構成を概略的に示す図である。

【図5】この発明の実施の形態3に従う半導体回路装置の断面の構成を概念的に示す図である。

【図6】 (A) は、この発明の実施の形態4に従うク
ロックドライブ回路の構成を概念的に示し、(B) は、
その平面レイアウトを示し、(C) は、その電気的等価
回路を示す図である。

【図7】 (A) は、この発明の実施の形態5に従うクロックドライブ回路の構成を示し、(B) は、この発明の実施の形態5に従うクロックドライブ回路の平面レイアウトを示し、(C) は、(B) に示すクロックドライブ回路の電気的等価回路を示す図である。

【図8】 (A) は、この発明の実施の形態6に従うク
ロックドライ回路の平面レイアウトを概念的に示し、
(B) は、(A) に示す平面レイアウトの電気的等価回
路を示す図である。

【図9】 この発明の実施の形態7に従うクロックドライブ回路のブロック図である。

【図10】 図9に示すクロックドライバ回路の電氣的等価回路を示す図である。

【図 11】 この発明の実施の形態 8 に従うクロックドライバ回路の構成を概略的に示す図である。

【図12】 この発明の実施の形態8に従うクロックドライブ回路の平面レイアウトを概略的に示す図である。

【図 13】 図 12 に示す平面レイアウトの電氣的等価回路を示す図である。

【図14】 (A) から (C) は、この発明の実施の形態8におけるMOSキャパシタの変更例をそれぞれ示す図である。

【図 15】 この発明の実施の形態 9 に従う半導体回路装置の要部の構成を概念的に示す図である。

【図16】 この発明の実施の形態10に従う半導体回路装置の全体の構成を概念的に示す図である。

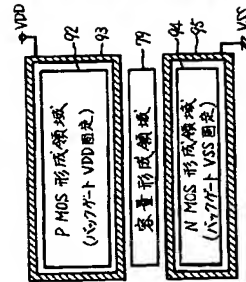
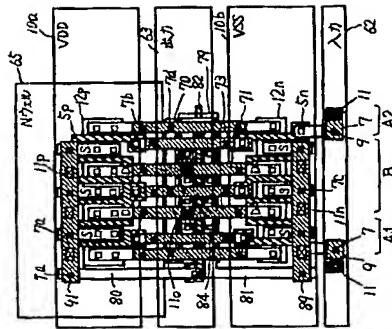
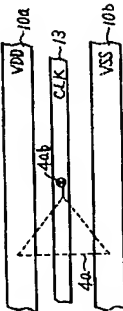
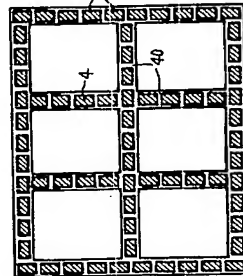
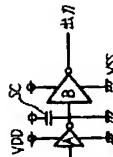
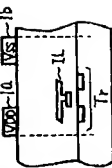
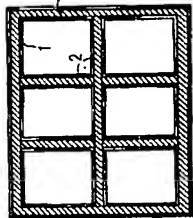
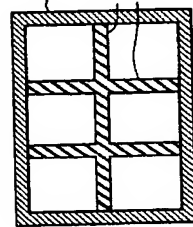
特開平13-007293

【図17】 従来の半導体回路装置のクロックドライバの配置を概念的に示す図である。

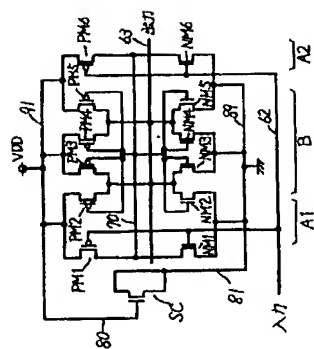
【図18】 従来の半導体回路装置のクロックドライバの他の配置を概念的に示す図である。

【東京の音城】

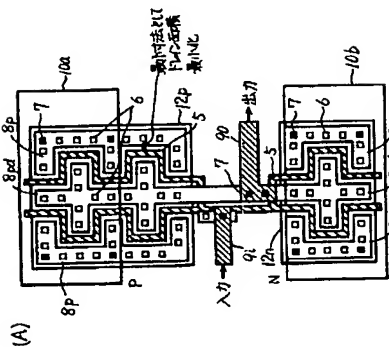
1 リング配線、2、2a、2b メッシュ配線、1a 電源線、1b 接地線、4 クロックドライバサブブロック、40 配線通過領域、10a 電源線、10b 接地線、13 出力クロック線、4a クロックドライバ、A、B クロックドライバを構成するCMOSインバータ、A1、A2 A入力インバータを構成するCMOSインバータ、B1 出力段CMOSインバータ、B



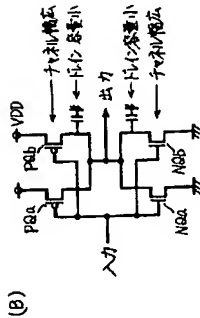
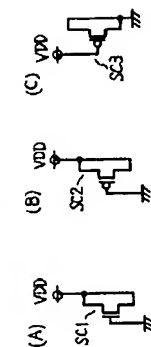
【図13】



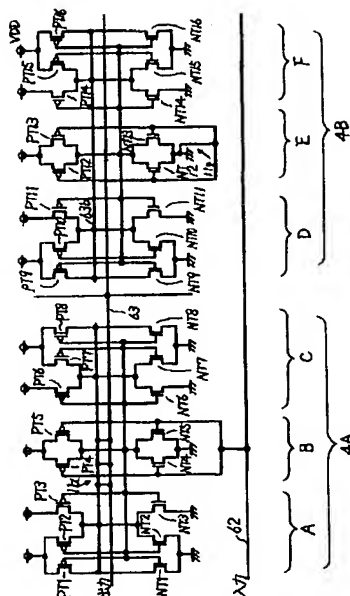
【図8】



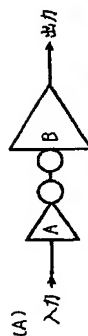
【図14】



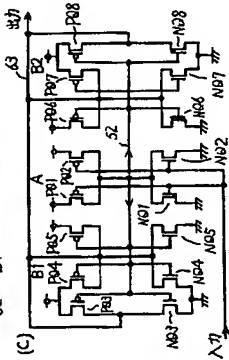
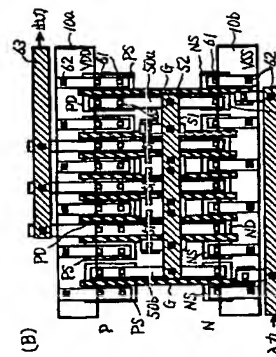
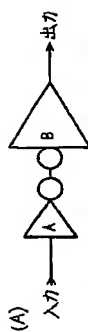
【図10】



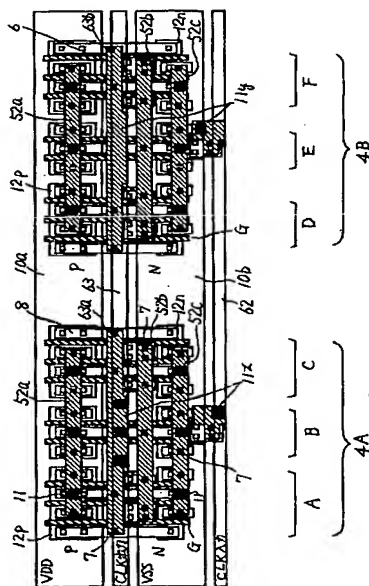
【図6】



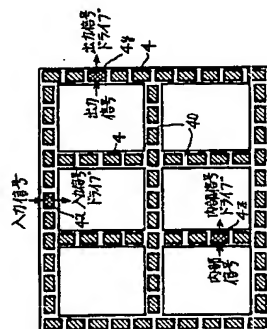
【図7】



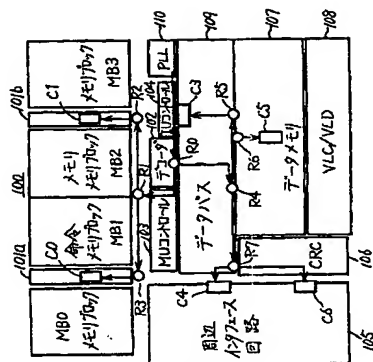
【図9】



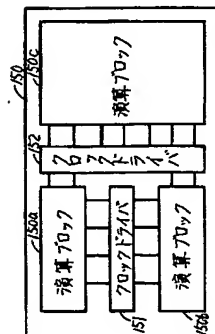
【图 16】



【图 17】



【图 18】



フロントページの続き

(51) Inl. Cl. 7

識別記号

15/60

7-77-1 (参考)

Fターム(参考)
 5B016 A08 IM01
 5B079 CC14 DD12 DD13
 5F038 AC05 B003 B119 CA02
 CA03 CA05 CC02 CC03 CC04
 CC06 CC08 CC09 CC14 CC18
 E720
 5F064 A01 CC12 CC23 DD01 EE12
 EE33 EE43 EE45 EE47 EE52
 EE54